
UNIVERSITI SAINS MALAYSIA

First Semester Examination
2013/2014 Academic Session

December 2013 / January 2013

EEE 348 – INTRODUCTION TO INTEGRATED CIRCUIT DESIGN
[PENGANTAR REKABENTUK LITAR BERSEPADU]

Duration : 3 hours
Masa : 3 jam

Please check that this examination paper consists of **NINE (9)** pages and Appendix **ONE (1)** page of printed material before you begin the examination.

*[Sila pastikan bahawa kertas peperiksaan ini mengandungi **SEMBILAN (9)** muka surat dan Lampiran **SATU (1)** muka surat bercetak sebelum anda memulakan peperiksaan ini]*

Instructions: This question paper consists **SIX (6)** questions. Answer **FIVE (5)** questions. All questions carry the same marks.

[Arahan: Kertas soalan ini mengandungi **ENAM (6)** soalan. Jawab **LIMA (5)** soalan. Semua soalan membawa jumlah markah yang sama]

Use separate answer booklets for **Part A** and **Part B**

[Gunakan dua buku jawapan yang berasingan bagi **Bahagian A** dan **Bahagian B**]

Answer to any question must start on a new page.

[Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru]

"In the event of any discrepancies, the English version shall be used".

[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai]

BAHAGIAN A
PART A

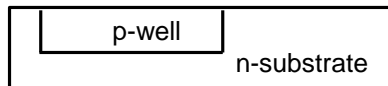
Soalan 2 dan 3 adalah wajib untuk dijawab.

Questions 2 and 3 are compulsory to answer.

1. (a) Gambarkan (dengan gambarajah dan penerangan) langkah-langkah fabrikasi bagi membentuk satu penyongsang. Mulakan dengan 'p-well' telahpun terbentuk dalam silikon jenis-n seperti Rajah 1(a).

Describe (with diagrams and explanation) the fabrication steps of developing an inverter. Start with the p-well has already been formed on the n-type silicon as shown in Figure 1(a).

(60 markah/marks)



Rajah 1(a)
Figure 1(a)

- (b) Gambarkan operasi READ satu sel 6T CMOS SRAM penuh. Buat andaian di mana perlu.

Describe the READ operation of a 6T Full CMOS SRAM cell. Make assumptions where necessary.

(40 markah/marks)

2. (a) Rekabentuk (perwakilan peringkat transistor) satu get logik CMOS 3-masukan yang menghasilkan satu keluaran rendah jika salah satu dari masukannya adalah tinggi dan satu keluaran tinggi jika semua masukannya adalah rendah. Bezakan keadaan setiap transistor bagi setiap perubahan keadaan masukannya.

Design (transistor level representation) a 3-input CMOS logic gate which provides a low output if any of the input is high and a high output if all of the inputs are low. Distinguish the state of each transistor for every change in the inputs' states.

(40 markah/marks)

- (b) Reka bentangan satu penyongsang CMOS dengan menggunakan saiz minimum yang dibenarkan bagi transistor. Lukiskan bentangan setiap transistor mengikut syarat rekabentuk yang diberikan dalam Lampiran 1. Anggap bahawa penyongsang adalah difabrikasi pada substrat silikon jenis-p.

Design the layout of a CMOS inverter with minimum size transistors. Create the individual transistor layout according to the design rules given in Appendix 1. Assume that the inverter is to be fabricated on a p-type silicon substrate.

(60 markah/marks)

3. (a) Anda dikehendaki untuk merekabentuk satu bentangan gambarajah kayu berkeluasan minimum bagi satu get logik CMOS kompleks untuk merealisasikan fungsi Boolean yang berikut:

You are required to design a minimum area stick-diagram layout of the complex CMOS logic gate realizing the following Boolean function:

$$Z = \overline{A(D+E)} + BC$$

di mana Z ialah keluaran dan A,B,C,D dan E adalah mewakili masukan.
where Z is the output while A,B,C,D and E represent the inputs.

Guna pendekatan laluan Euler untuk menghasilkan rekabentuk ini.
Use the Euler-path approach to come up with this design.

(55 markah/marks)

- (b) Terangkan bagaimana pendekatan laluan-Euler boleh membantu untuk mencapai objektif anda dalam (a).

Explain how the Euler-path approach can help you in achieving your objective in (a).

(10 markah/marks)

- (c) Bandingkan langkah-langkah dalam memfabrikasikan SiO_2 tercorak di atas satu p-substrat apabila menggunakan fotoreซิส positif atau negatif. Lukis gambarajah untuk membantu dalam memberi penerangan. Biar turutan bermula dengan pengoksidan terma permukaan Si, di mana satu lapisan oksida dibentuk di atas substrat.

Compare the steps in fabrication of a patterned SiO_2 on a p-substrate when using a positive or negative photoresist. Draw diagrams to assist you in your explanation. Let the sequence starts with the thermal oxidation of the Si surface, by which an oxide layer is created on the substrate.

(35 markah/marks)

BAHAGIAN B
PART B

Soalan 5 dan 6 adalah wajib untuk dijawab.
Questions 5 and 6 are compulsory to answer.

4. (a) (i) Apakah kelebihan pendekatan "standard cell based" berbanding dengan "full custom based"?

What are the advantages of standard cell based approach as compared with full custom based approach?

(8 markah/marks)

- (ii) Terangkan tiga kelebihan HDL berbanding dengan kaedah rekabentuk tradisional yang menggunakan skematik?

Explain three advantages of HDL compared to traditional schematic-based design?

(12 markah/marks)

- (b) Diberi modul-modul Verilog seperti berikut. Tentukan nilai bagi OUT di dalam binari pada waktu simulasi 0, 1, 2, 3, 4 dan 5. Kenalpasti fungsi bagi litar blockC.

Consider the following Verilog modules. Determine the values of OUT in binary at simulation time of 0, 1, 2, 3, 4 and 5. Identify the function of the circuit blockC.

(80 markah/marks)

```
module blockA(out, in0, in1);  
output [2:0] out;  
input [2:0] in0;  
input in1;
```

```
and (out[0], in0[0], in1);  
and (out[1], in0[1], in1);  
and (out[2], in0[2], in1);
```

```
endmodule
```

```
module blockB(out, in0, in1);  
output [5:0] out;  
input [4:0] in0, in1;  
reg [5:0] out;
```

```
always @(in0, in1)  
out = in0 + in1;  
endmodule
```

```
module blockC(out, in0, in1);  
output [5:0] out;  
input [2:0] in0, in1;  
wire [2:0] out_M0, out_M1, out_M2;  
wire [5:0] out_M3;
```

```
blockA M0(out_M0, in0, in1[0]);  
blockA M1(out_M1, in0, in1[1]);  
blockA M2(out_M2, in0, in1[2]);  
blockB M3(out_M3, {1'b0, 1'b0, out_M0}, {1'b0, out_M1, 1'b0});  
blockB M4(out, out_M3[4:0], {out_M2, 1'b0, 1'b0});
```

```
endmodule
```

```
module top_blockC;  
reg [2:0] IN0, IN1;  
wire [5:0] OUT;
```

```
blockC dut(OUT, IN0, IN1);
```

```
initial
begin
#1 IN0 = 3'd1; IN1 = 3'd2;
#1 IN0 = 3'd7; IN1 = 3'd7;
  #1 IN0 = 3'd0; IN1 = 3'd5;
#1 IN0 = 3'd6; IN1 = 3'd4;
#1 $stop;
end
endmodule
```

5. Diberi sebuah litar digital bernama ""**median**"" yang mana keluarannya adalah median bagi tiga nombor 8-bit.

*Consider a digital circuit "**median**" that output the median of three 8-bit numbers.*

For example :-

If IN0 = 8'd13, IN1 = 4'd20, IN2 = 4'd11, then the OUT = 4'd13

If IN0 = 8'd5, IN1 = 4'd8, IN2 = 4'd14, then the OUT = 4'd8

If IN0 = 8'd10, IN1 = 4'd15, IN2 = 4'd13, then the OUT = 4'd13

If IN0 = 8'd5, IN1 = 4'd5, IN2 = 4'd19, then the OUT = 4'd5

- (a) Rekabentuk litar digital "**median**" dengan menggunakan model pengaliran data.

*Design the digital circuit "**median**" using data-flow type of modeling*

(50 markah/marks)

- (b) Rekabentuk litar digital "**median**" dengan menggunakan model "behavioral". Anda juga dikehendaki menghasilkan "test bench" untuk mengesahkan litar yang telah direka.

*Design the digital circuit "**median**" using behavioral type of modeling. You need to develop also the test bench to verify the designed circuit.*

(50 markah/marks)

6. (a) Rekabentuk sebuah litar digital yang dapat mengira jumlah 0 yang terdapat pada masukan 8-bit. Anda dikehendaki menggunakan model pengaliran data. Anda juga dikehendaki menghasilkan "test bench" untuk mengesahkan litar yang telah direka.

Design a digital circuit that can count the number of 0 in an 8-bit input. You have to use the data-flow type of modeling. You need to develop also the test bench to verify the designed circuit.

For example :-

If IN = 0000_0000, OUT = 1000

If IN = 0110_0010, OUT = 0101

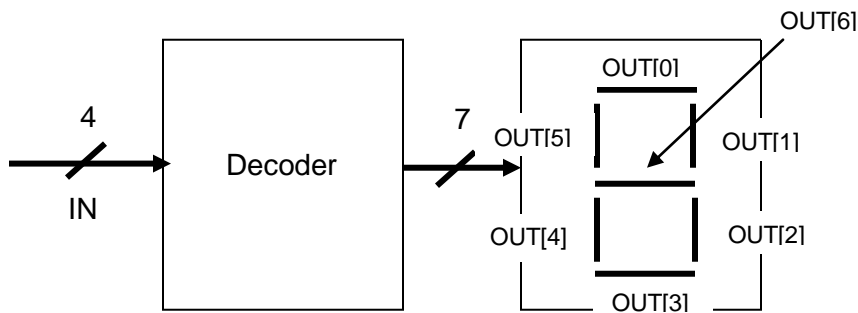
If IN = 1010_0101, OUT = 0100

If IN = 1111_1111, OUT = 0000

(30 markah/marks)

- (b) Rekabentuk sebuah penyahkod 7-segmen berdasarkan spesifikasi berikut menggunakan Verilog HDL. Pilih jenis model yang bersesuaian. Anda juga dikehendaki menghasilkan "test bench" untuk mengesahkan litar yang direka. Anggap, LED akan menyala apabila isyarat adalah 1 dan ianya hanya memaparkan nombor 0 hingga 9.

Design a 7-segment decoder based on following specification using Verilog HDL. Choose an appropriate type of modeling. You need to develop also the test bench to verify the designed circuit. Assume that the LED is on when the signal is 1 and it is only to display the number 0 to 9.



(70 markah/marks)

ooo0ooo